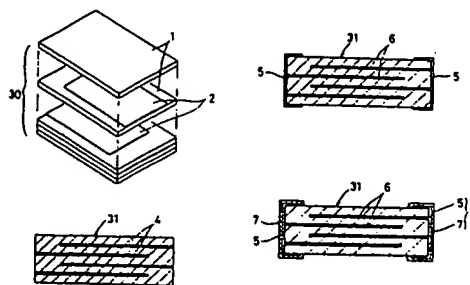


(54) FORMATION OF ELECTRODE OF LAMINATED CERAMIC ELECTRONIC COMPONENT

(11) 63-300507 (A) (43) 7.12.1988 (19) JP
 (21) Appl. No. 62-135691 (22) 30.5.1987
 (71) MURATA MFG CO LTD (72) MITSUHIRO MURATA(5)
 (51) Int. Cl. H01G4/12, H01C7/02, H01C17/28, H01F17/00, H01G4/30

PURPOSE: To easily and economically form external electrodes by conducting electroless plating to a laminated body forming the base electrode layer of a metal such as Ni.

CONSTITUTION: A plurality of green sheets 1 coated with the paste 2 are laminated and pressurized in such a way that the edges of paste 2 are appearing alternately at the outside to form an original body 30 of semiconductor ceramics. The original semiconductor ceramics body 30 is baked and a porous layer 4 is formed to the region where the paste 2 exists. After the metal paste adheres to the essential portion (both ends) of laminated body 31, it is then baked to form the porous base electrode layer 5 to the essential portion at the surface of laminated body 31. The laminated body 31 is immersed into the base metal solution having a low melting point. Thereby, the base metal is doped with pressure to the porous layer 4 to form an internal electrode 6. The electroless plating of copper is conducted to the laminated body 31 forming the base electrode layer 5 to form the copper plated film 7 which will become the second electrode layer to the entire part of the external electrode forming region.

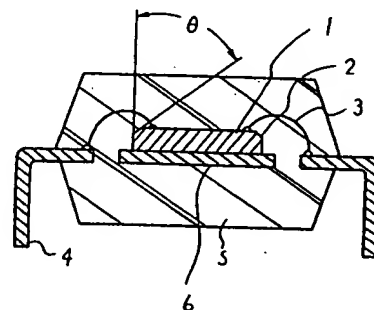


(54) RESIN SEALED SEMICONDUCTOR DEVICE

(11) 63-300508 (A) (43) 7.12.1988 (19) JP
 (21) Appl. No. 62-137242 (22) 29.5.1987
 (71) NEC CORP (72) TOSHIYUKI SAKUMA
 (51) Int. Cl. H01L21/02, H01L23/28

PURPOSE: To prevent generation of cracks and improve reliability of resin package and semiconductor chip by alleviating concentration of stress of resin by conducting the chamfering to the edge of main surface of semiconductor chip.

CONSTITUTION: A semiconductor chip 1 in which the edge of main surface is chamfered is included. The chamfering 2 with the chamfering angle θ of 30° ~ 70° is conducted to the edge of main surface of semiconductor chip 1. For this chamfering, a dicing blade with top angle of 20° is used and a semiconductor chip 1 obtained by cutting the wafer to which the groove is formed in the depth of about $200\mu\text{m}$ is also used.



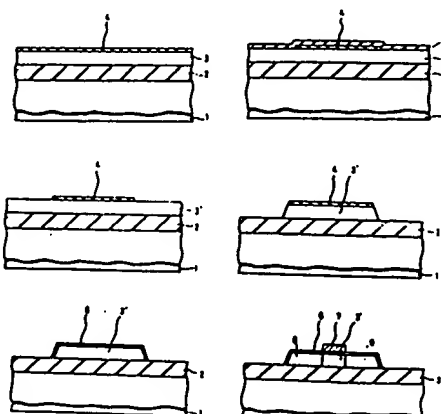
3: bonding wire. 4: lead. 5: resin package. 6: chip mounting part

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 63-300509 (A) (43) 7.12.1988 (19) JP
 (21) Appl. No. 62-133321 (22) 30.5.1987
 (71) FUJITSU LTD (72) MICHIIKO HASEGAWA
 (51) Int. Cl. H01L21/20, H01L21/263, H01L27/00

PURPOSE: To keep recrystallized silicon film at the uniform film condition and prevent generation of trap level by forming an insulating film of Si_3N_4 under the condition that the insulating film consisting of SiO_2 covering only the element forming region is left and then conducting the annealing by laser beam.

CONSTITUTION: An insulating film 2 consisting of SiO_2 , polycrystal silicon film 3 and an insulating film 4 consisting of SiO_2 are sequentially grown on a silicon semiconductor substrate 1. The insulating film 4 is then patterned to remove the other part, leaving only the part covering the element forming region, and the insulating film 5 consisting of Si_3N_4 is grown. The polycrystalline silicon film 3 is converted to the recrystallized silicon film 3' by irradiation of laser beam. Next, after removing the insulating film 5, the mesa-etching of the recrystallized silicon film 3' is carried out using the insulating film 4 as the mask. Thereafter, the insulating film 4 is removed and a gate insulating film 6 is formed to the mesa single-crystal silicon film 3'. A gate electrode 7 consisting



⑫ 公開特許公報 (A)

昭63-300507

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)12月7日

H 01 G 4/12
H 01 C 7/02
17/287924-5E
7048-5E
7303-5E ※審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 積層型セラミック電子部品の電極形成方法

⑯ 特 願 昭62-135691

⑰ 出 願 昭62(1987)5月30日

⑱ 発 明 者 村 田 充 弘 京都府長岡京市天神2丁目26番10号 株式会社村田製作所内

⑲ 発 明 者 万 代 治 文 京都府長岡京市天神2丁目26番10号 株式会社村田製作所内

⑳ 発 明 者 鬼 頭 範 光 京都府長岡京市天神2丁目26番10号 株式会社村田製作所内

㉑ 発 明 者 木 村 孝 京都府長岡京市天神2丁目26番10号 株式会社村田製作所内

㉒ 出 願 人 株式会社村田製作所 京都府長岡京市天神2丁目26番10号

㉓ 代 理 人 弁理士 岡田 和秀
最終頁に続く

明 細 書

1、発明の名称

積層型セラミック電子部品の電極形成方法

2、特許請求の範囲

(1) セラミック積層体の外部電極形成部に、アルミニウム、亜鉛、ニッケル、鉄、クロム、コバルト、マンガン、錫、鉛、チタン、モリブデン、タングステン、タンタルおよび銅の一種もしくは複数種の金属を主成分とする金属ペーストを焼き付けて下地電極層を形成する工程と、下地電極層を形成した積層体に無電解メッキを施す工程とを含む積層型セラミック電子部品の電極形成方法。

3、発明の詳細な説明

<産業上の利用分野>

本発明は、積層型セラミックコンデンサ、積層型半導体セラミックコンデンサ、積層型正特性サーミスタ、積層型負特性サーミスタ、積層型半導体セラミックバリスタなどの積層型セラミック電子部品における外部電極の形成方法に関する。

<従来の技術>

一般の積層コンデンサの外部電極は、銀の第1電極層、ニッケルの第2電極層、錫もしくは半田の第3電極層というように、数層の電極層で構成されているのが普通である。これは、銀の半田食われの防止と、半田付き性を良好にするためである。

このような電極の形成に当たっては、従来、積層体に電解メッキを施すことにより、ニッケルの電極層や錫の電極層を形成していた。

<発明が解決しようとする問題点>

これに対して、積層型正特性サーミスタのように、半導体セラミックを素材として低抵抗化、低電圧化した電子部品では、本体である半導体セラミック積層体の抵抗値が低いので、今仮に、この積層体に無電解メッキを施すと、積層体の表面全面にメッキ膜が形成されてしまう。そのため、積層型半導体セラミックの電子部品の電極形成に、電解メッキを適用するのは實際上、無理である。

また、積層型コンデンサについても、従来用いられている Ag ではコストが高く安価な卑金属の

利用が望まれていた。

本発明は、上述の現状に鑑みてなされたものであって、積層型セラミック電子部品での電極形成を、電解メッキと同様の実施容易で安価な手段により行なえるようにすることを目的とする。

<問題点を解決するための手段>

本発明は、上記の目的を達成するために、セラミック積層体の外部電極形成部に、アルミニウム、亜鉛、ニッケル、鉄、クロム、コバルト、マンガン、錫、鉛、チタン、モリブデン、タングステン、タンタルおよび銅の一種もしくは複数種の金属を主成分とする金属ペーストを焼き付けて下地電極層を形成する工程と、下地電極層を形成した積層体に無電解メッキを施す工程とで積層型セラミック電子部品の電極形成方法を構成した。

<作用>

上記の各工程によれば、ニッケル等の下地電極層の金属活性により、積層体の表面所要部にのみメッキ膜が形成されて、外部電極ができる。

<実施例>

②第2工程:

この工程では、半導体セラミックの原体30を空气中において1,300℃で焼成する。焼成が完了すると、ペースト2に含まれたカーボンが焼成して、ペースト2が存在した箇所にポーラス層4が形成される。これによって、第2図に示すように、内部に層状にポーラス層4を有し、かつ正の温度特性を有する半導体セラミックの積層体31が得られる。

③第3工程:

この工程は、積層体31の外部電極形成部に下地電極層を形成する工程である。

まず、積層体31の所要部(両端部)に金属ペーストを塗布等の方法で付着させる。金属ペーストは、ニッケルを主成分とするものである。そして、この金属ペーストを焼き付ける。この焼き付けにより、第3図に示すように、積層体31の表面所要部には、多孔質の下地電極層5が形成される。

金属ペーストとしては、ニッケルのほか、アルミニウム、亜鉛、鉄、クロム、コバルト、マンガ

以下、本発明を図面に示す実施例に基づいて詳細に説明する。

この実施例は、本発明を積層型正特性サーミスタに実施した例である。

①第1工程:

この工程は、焼成すべき半導体セラミックの成形体を用意する工程である。

まず、チタン酸バリウムに対して、半導体化剤として微量の Y_2O_3 、酸化剤として SiO_2 、 Al_2O_3 、特性改善剤として MnO_2 を添加してバインダとともに混合し、この材料で、第1図に示すグリーンシート1を形成する。

一方、チタン酸バリウムの焼結粉末に、カーボンとワニスとを混合してペースト2を作成し、このペースト2を前記グリーンシート1上に、内部電極に対応する形状に印刷塗布する。

そして、ペースト2を塗布したグリーンシート1の複数枚を、ペースト2の縁部が交互に外部に現われるように積層し加圧圧着して、半導体セラミックの原体30を形成する。

ン、錫、鉛、チタン、モリブデン、タングステン、タンタルおよび銅の一種もしくは数種を主成分とするものであってもよい。

④第4工程:

次に、真空中で積層体31のポーラス層4から下地電極層5を通じて脱気を行なったのち、この積層体31を低融点の卑金属溶液中に浸漬し、ポーラス層4に卑金属を圧入する。卑金属は、下地電極層5を通じてポーラス層4に浸入し、積層体31を卑金属溶液から引き上げたときは、下地電極層5によりポーラス層4からの流出が阻止され、ポーラス層4内に閉じ込められる。ポーラス層4内に存在する卑金属により、内部電極6が形成される。

前記卑金属としては、鉛、錫、もしくはこれらの合金、あるいは他の低融点の金属が挙げられる。

⑤第5工程:

この工程では、下地電極層5が形成された積層体31に対して銅の無電解メッキを施す。

メッキ浴は、硫酸銅および錯化剤を主成分とす

るもので、この場合、ホルマリンが主成分である還元剤と、カセイソーダが主成分であるpH調整剤とを含む。本体1はこのメッキ浴中に、温度60℃で10分間、浸漬する。

このメッキ浴中において、積層体31表面の下地電極層6の金属金属粒子が核となり、これにメッキ浴に含まれる金属(銅)が付着し、第4図に示すように、外部電極形成部全体に第2電極層となる銅のメッキ膜7が形成される。

以上のようにして、積層体31に外部電極8が形成される。

この外部電極8付き積層体31を230℃の半田浴に浸漬して外部電極8にリード線を取り付け、そのリード線の引張強度を測定したところ、1.5kgの値が得られた。このことから、上記の各工程により形成された外部電極8は、積層体31との接合強度が充分に大きく、強度的に問題がないことが分かる。

なお、上記の実施例では、積層型正特性サーミスタの積層体に外部電極を形成する場合を示した

が、本発明の方法を、他のタイプの積層型セラミック電子部品、たとえば積層型セラミックコンデンサ、積層型半導体セラミックのインダクタンス素子、負特性サーミスタ、バリスタ等の外部電極の形成にも適用しうる。

<発明の効果>

以上のように、本発明によれば、積層型セラミックコンデンサのように絶縁性の高い積層型セラミック電子部品はもちろんのこと、低抵抗化、低電圧化した半導体セラミックの積層体であって電解メッキにかけられないものであっても、無電解メッキによりその表面所要部に外部電極を形成することができ、外部電極の形成が容易かつ安価にできる。

4、図面の簡単な説明

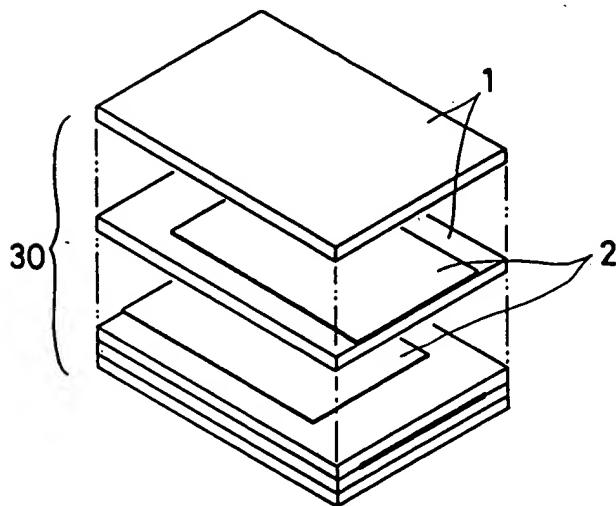
第1図ないし第4図はいずれも本発明の一実施例の各工程を示す説明図である。

31…半導体セラミックの積層体、5…下地電極層、7…メッキ膜。

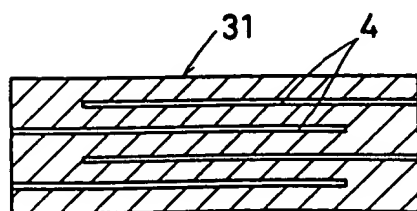
出願人 株式会社村田製作所

代理人 弁理士 岡田 和秀

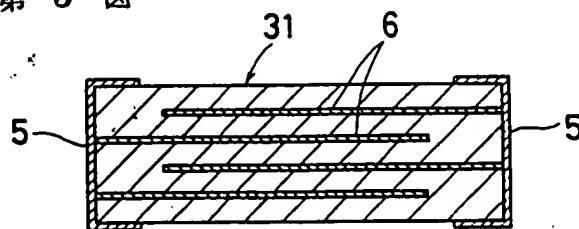
第1図



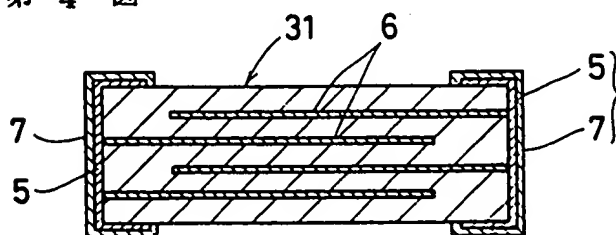
第2図



第3図



第4図



第1頁の続き

⑤Int. Cl.

H 01 F 17/00
H 01 G 4/30

識別記号

3 1 1

庁内整理番号

D-7364-5E
D-7048-5E

⑫発 明 者 内 藤 康 行

京都府長岡京市天神2丁目26番10号 株式会社村田製作所
内

⑫発 明 者 島 原 豊

京都府長岡京市天神2丁目26番10号 株式会社村田製作所
内